

SECTION VII THEORY OF OPERATION

OUTLINE

The IC-211E employs a digital phase locked loop (PLL) circuit as the local oscillator for both transmit and receive. The output of the PLL circuit is approximately 10.7MHz below the receive frequency, thereby spurious is kept to a minimum.

Das IC-211E verwendet sowohl für den Empfang als auch die Sendung eine digitale PLL als LO (Lokaloszillator). Der PLL Ausgang liegt bei ca. 10,7 Mhz unterhalb der Empfangsfrequenz, dadurch werden Störungen minimiert.

The frequency is determined as follows. A pulse generated by the optical chopper circuit, located at the tuning knob, is digitalized by the Up/Down counter in the LSI ICOM's custom developed Large Scale Integrated circuit and used to control a programmable divider, also located inside the LSI chip. The programmable divider controls the PLL circuit which determines the output frequency of the VCO (Voltage Controlled Oscillator).

Die Frequenz wird wie folgt bestimmt. Beim Drehen des Abstimmknopfes werden über einen optischen Geber Impulse erzeugt und AUF/AB - Zählern eines speziellen ICOM-LSI-Chip's zugeführt. Es beinhaltet auch den programmierbaren Teiler der die Frequenz für den VCO (spannungsgesteuerter Oszillator) bestimmt.

In the receiver section, signals from the antenna are mixed with the local oscillator output from the PLL circuit. The signals are amplified then detected to become audio signals, amplified again and sent to the speaker.

Im Empfängerteil wird das Antennensignal mit dem VCO gemischt. Das Signal wird verstärkt, demoduliert und gelangt als Audiosignal zum Lautsprecher.

In the USB and LSB modes, the transmitter uses a carrier of 10.6985MHz for USB and 10.7015MHz for LSB. The carrier and the voice signal are sent to a balanced modulator where the DSB suppressed carrier signal is generated. The unwanted sideband is removed by a crystal filter, and an SSB signal of 10.700MHz is obtained.

In den Betriebsarten USB und LSB verwendet der Transceiver Hilfsräger von 10.6985 MHz für USB und 10.7015 MHz für LSB. Träger und Audiosignal werden einem Balancemodulator zugeführt. Dort wird ein DSB (Doppel-Seitenbandsignal) erzeugt und der Träger entfernt, anschliessend wird in einem Quarzfilter das nicht benötigte Seitenband entfernt und somit das SSB-Signal mit 10,7 MHz gewonnen.

In the CW mode, the set uses the carrier for USB which is shifted about +800Hz. This carrier passes through the balanced modulator by unbalancing it and then through the crystal filter.

Im CW-Betrieb wird der USB-Träger um ca. +800 Hz angehoben und durchläuft den Gegentaktmodulator und anschliessend das Quarzfilter.

In the FM Mode, the set uses another crystal oscillator to produce the 10.700MHz signal which is direct-frequency modulated.

Im FM-Betrieb wird ein anderer Quarzoszillator für die Erzeugung der 10,7 MHz verwendet und direkt frequenzmoduliert.

The SSB, CW or FM signal is mixed with the local oscillator output from the PLL circuit, which is the same as that of the receiver section, and then amplified, filtered, and sent to the antenna.

Das SSB, CW oder FM-Signal wird mit dem LO-Signal der PLL (das gleich wie im Empfängerteil) gemischt, verstärkt und zur Antenne gebracht.

RECEIVER CIRCUITS

1. RF AMPLIFIER CIRCUIT

A signal from the antenna is passed through the ALC and filter circuits and applied to the antenna switching circuit located on main unit. During reception, Q48, the antenna switching transistor, is ON, thus forward biasing D21, D22 and D60. The incoming signal passes through these diodes, then is fed to an RF amplifier Q47, a dual gate MOS FET. The incoming signal is fed to the first gate, and AGC voltage is fed to the second gate to increase the dynamic range of the amplifier. The signal is then passed through the five-stage helical cavity filter which reduces interferences and intermodulation from nearby strong signals.

Das Antennensignal passiert die ALC und Filter und gelangt an den Antennenschaltkreis der Hauptplatine.

Der Antennenschalttransistor Q48 ist während des Empfangs offen und speist D21, D22 und D60. Das ankommende Signal durchläuft die offenen Dioden und speist den RF-Transistor Q47, einen Dual Gate MOSFET. Das RF-Signal speist das erste Gate, an das zweite Gate gelangt die AGC-Regelspannung um den Dynamikbereich des Verstärkers zu erhöhen. Dann durchläuft das Signal einen 5-stufigen Helical-Filter der Interferenzen und Intermodulation naher, starker Signale reduziert.

2. MIXER CIRCUIT

From the helical cavity filter, the signal is fed to a mixer, composed of Q46, where it is mixed with the local oscillator signal from the VCO. From the mixer, the resultant 10.700MHz IF signal passes through a monolithic filter, having a bandwidth of 20KHz, and to the diode switches D40 and D42. In the FM mode, D40 is ON and the IF signal is fed to FM IF circuit, and in the SSB mode, D42 is ON and the IF signal is fed to SSB IF circuit.

Vom Helical Filter gelangt das Signal an den Mixer Q46 und wird mit dem VCO-Signal gemischt. Das aus dem Mixer kommende 10,7 MHz ZF-Signal durchläuft einen monolithischen Filter mit einer Bandbreite von 20KHz und die Diodenschalter D40 und D42. Im FM-Modus ist D40 eingeschaltet und die ZF gelangt zur FM-ZF-Schaltung. Im SSB-Modus ist D42 eingeschaltet und das ZF-Signal speist die SSB-ZF-Schaltung.

3. NOISE BLANKER CIRCUIT

The noise blanker circuit is composed of Q1 through Q6. Noise amplified by Q1 ~ Q3 is detected by D1 and D2, and applied to the base of Q4. Since the collector of Q5 is connected to the base of Q6 and switches D6, because of detected noise, it turns ON Q6 and D6, and turns OFF D5, thus cutting off the noise. Therefore only clean signals are fed to the SSB IF circuit. Q4 is a DC amplifier of AGC voltage for Q2 and Q3 noise amplifiers. In the FM mode, this circuit does not actuate.

Der Noiseblanker besteht aus Q1 bis Q6. Störungen werden über Q1 ~ Q3 verstärkt, dann über D1 und D2 gleichgerichtet und gelangen an die Basis von Q4. Da der Kollektor von Q5 ist mit der Basis von Q6 und der Schalterdiode D6 verbunden ist, schaltet Q6 und D6 ein und D5 aus wenn Sörungen erkannt werden. Die Störung wird unterdrückt. Dadurch wird dem SSB ZF-Verstärker nur ein sauberes Signal zugeführt. Q4 ist ein Regelspannungs-DC-Verstärker für die Störungsverstärker Q2 und Q3. Bei FM-Betrieb greift diese Schaltung nicht ein.

4. SSB IF AMPLIFIER CIRCUIT

The IF signals pass through the noise blanker gate D5, and then fed to FL1, a crystal filter. FL1's center frequency is 10.700MHz with a band width of +- 1.2KHz. From the filter, the signal is fed to T/R switch D7 and D8. In the receive mode, D7 is OFF and D8 is ON, thus the signals are fed to the IF amplifier circuit. The IF amplifier circuit is composed of Q7 ~ Q10.

Das ZF-Signal durchläuft das Störaustastergate D5 und speist das Quarzfilter FL1. Die Mittenfrequenz von FL1 beträgt 10,7 MHz, die Bandbreite +- 1,2 kHz. Vom Filter gelangt das Signal an den Tx/Rx Umschalter D7 und D8. Bei Rx ist D7 AUS und D8 EIN, dadurch gelangt das Signal an den ZF-Verstärker. Der Verstärker besteht aus Q7 bis Q10.

The signals which have passed through the crystal filter are amplified by Q7 and Q8, dual gate MOS FET's, and Q10, a differential amplifier, to obtain the required characteristics AGC voltage is applied to the second gate of Q7, Q8 so as to widen the AGC range. Considering that the source voltage of Q8 drops by applying AGC voltage, the S meter in SSB, or CW mode is deflected by measuring the bias of Q9. R26 is connected to the emitter circuit of Q9 and adjusts deflection of the meter and R132 adjusts zero point. D9 provides temperature-compensation for Q9. The amplified IF signal is then sent to the detector circuit.

Das Signal nach dem Quarzfilter wird durch Q7 und Q8 (Dual Gate MOSFETS) verstärkt und Q10, einem Differenzverstärker zugeführt. Um das geforderte Verhalten zu erreichen wird die AGC-Spannung an das jeweils zweite Gate von Q7 und Q8 gelegt um den-AGC Arbeitsbereich zu vergrößern. Unter Berücksichtigung daß die Source-Spannung von Q8 fällt wenn die AGC-Spannung steigt, wird der Strom durch Q9 zur Messgröße für das S-Meter im SSB und CW-Modus.

5. DETECTOR CIRCUIT

The detector circuit is composed of IC1, a differential amplifier that consists of a pair of similar input circuits and a constant-current source. The IF signals are fed to the both input circuits of IC1 180 degrees out of phase, and the BFO signal is fed to the constantcurrent source. One part of the detected audio signal is sent to an AF amplifier O11, and the other is sent to the AGC circuit.

Die Detektor Schaltung besteht aus IC1, einem Differenzverstärker welcher aus einem Paar gleichartiger Eingangsschaltkreise und eine Konstantstromquelle besteht. Das ZF-Signal speist mit einer 180 Grad Phasenverschiebung beide Eingangskreise von IC1 und das BFO-Signal wird der Konstantstromquelle von IC1 zugeführt. Ein Teil des detektierten Audiosignals geht zum NF-Verstärker, der andere zur AGC-Schaltung

6. BFO CIRCUIT

The BFO circuit is composed of Q67 to Q68 and crystals X3 and X4. Q67 is the crystal oscillator and Q68 is the buffer. The output signal is sent to the detector IC1 and the balanced modulator IC4.

Die BFO-Schaltung besteht aus Q67 bis Q68 mit den Quarzen X2 und X4. Q67 ist hierbei der Oszillator und Q68 der Puffer. Der Ausgang gelangt an den Detektor IC1 und den Balanced-Modulator IC4.

In the USB and the CW receiving mode, D52 is turned ON, thus the crystal X3 is connected to the oscillator and it provides a 10.6985MHz signal. In the CW transmitting mode, D51 is turned OFF, so C252 and C253 are inserted between C255, C256 and ground, and the oscillating frequency is shifted to about 10.6993MHz. In the LSB mode, D53 is turned ON, thus the crystal X4 is connected to the oscillator and provides a 10.7015MHz signal.

Im USB und CW Empfangsmodus ist D52 eingeschaltet und der Quarz X3 mit dem Oszillator verbunden, es wird ein Signal mit 10.6985MHz erzeugt. Im CW Sendemodus ist D51 ausgeschaltet und C252 und C253 sind zwischen C255, C256 und Masse eingefügt und die Oszillatorfrequenz wird auf 10.6993MHz angehoben. Im LSB-Modus ist D53 eingeschaltet, dadurch wird X4 mit dem Oszillator verbunden und bewirkt eine Frequenz von 10.7015MHz.

7. AGC CIRCUIT

The AGC circuit is composed of Q19 to Q27 on the main unit. After detection, the AF signal is amplified by Q27. It then undergoes peak hold detection by detector Q23. The detected DC voltage charges C75 and C81. The DC voltage is then amplified further by Q21 and Q20. Thus, the AGC voltage for RF and IF amplifier circuits is obtained from the collector of Q20.

Die AGC-Schaltung besteht aus Q19 bis Q27 auf der Hauptplatine. Nach dem Detektor wird das AF-Signal durch Q27 verstärkt. Es wird dann der Peak-Hold-Erkennung mit Q23 zugeführt. Die erfasste Gleichspannung lädt C75 und C81 und wird dann von Q21 und Q20 weiter verstärkt. Somit erhält man am Kollektor von Q20 die AGC-Regelspannung für die HF- und ZF-Verstärkerstufen.

When the AGC switch is in the SLOW position, the output signal of Q27 is fed to another peak hold detector Q26. The detected DC voltage charges C77 and switches Q25 ON and Q24 OFF. When the input signal is removed, the charged voltage of C77 is discharged through R101 and Q25 is switched ON, and the charged voltage in C75 and C81 is discharged through R95 and R96. Thus the AGC voltage is held during the time constant of C77 and R101.

Befindet sich der AGC-Schalter in der "SLOW-Stellung", so wird das Ausgangssignal von Q27 einem weiteren Peak-Hold-Detektor Q26 zugeführt. Die erfasste Gleichspannung lädt C77 und schaltet Q25 EIN und Q24 AUS. Wenn das Eingangssignal abfällt, wird die Ladespannung von C77 durch R101 entladen und Q25 eingeschaltet, die Ladespannung von C75 und C81 wird über R95 und R96 entladen. Somit wird die AGC-Spannung während der Zeitkonstante von C77 / R101 gehalten.

When the AGC switch is in the FAST position, -9 Volts is applied to the base of Q25, turning it OFF, and turning Q24 ON. Therefore the AGC voltage does not hold, and the AGC release time is determined by C75 and R95. When the power is turned ON, a pulse through R92 and C74 turns ON Q22 temporarily to discharge C75 and C81 in order to allow the AGC voltage to recover to a non-signal bias state.

Befindet sich der AGC-Schalter in der "FAST-Stellung" so wird -9 Volt an die Basis von Q25 gebracht und schaltet ihn AUS und schaltet Q24 EIN. Die AGC-Spannung wird nun nicht gehalten, und die AGC-Freigabezeit wird durch C75 und R95 bestimmt. Beim Einschalten der Spannung gelangt ein Impuls durch R92 und C74 an Q22 und schaltet ihn vorübergehend ein um C75 und C81 zu entladen. Dadurch wird ein "kein-Signal" Zustand der AGC-Spannung erreicht.

Q19 superimposes the RF gain control voltage on the AGC line by way of the emitter follower, forming a threshold-type RF gain control.

Q19 überlagert die AGC-Steuerspannung durch den Emitterfolger und ergibt den Schwellenwert zur RF-Verstärkungsregelung.

8. FM IF AMPLIFIER CIRCUIT

Signals that have passed through the crystal filter and diode switch D40 are supplied, together with 10.245MHz signals from the second local oscillator Q44, to the gate of second mixer Q43 for conversion to the 455kHz second IF.

Das durch das Quartzfilter und den Diodenschalter D40 ankommenden Signal gelangt zusammen mit den 10.245 MHz vom zweiten Lokaloszillator Q44 an das Gate des zweiten Mischers Q43 zur Umwandlung auf die zweite ZF mit 455 KHz.

In the second IF amplifier, which has excellent selectivity due to 2 CFU455E ceramic filters, signals are amplified by Q40~Q42. After removal of noise and other AM components by IC3 functioning as a limiter, the signals are detected in terms of audio frequency signals by a ceramic discriminator. This ceramic discriminator has outstanding temperature characteristics, linearity and detection sensitivity, which guarantee clear, stable reception. Audio signals from the discriminator are divided into audio signals and noise component signals to operate the squelch circuit.

Der zweite ZF-Verstärker hat durch die Verwendung der 2 CFU455E Keramikfilter eine exzellente Trennschärfe. Das Signal wird in Q40~Q42 verstärkt. Nach der Abtrennung von Störungen und anderen AM-Komponenten im Begrenzer IC3, wird in einem Keramik-Diskriminator das Audio-Signal gebildet. Der Keramikdiskriminator hat eine hervorragende Temperaturcharakteristik, Linearität und Empfindlichkeit. Dadurch wird ein sauberer und stabiler Empfang garantiert. Das vom Diskriminator kommende Audiosignal wird aufgeteilt in Audiosignal und Störungskomponentensignal für die Squelch-Schaltung.

In the FM mode, the AGC circuit does not actuate, so the meter indicator needle is caused to move by a portion of the IF signals taken from the collector of the second IF amplifier Q40 and rectified by D38. Meter indicator deflection can be adjusted by altering gain of the second IF amplifier Q42 by R167 in series with the by-pass capacitor of the emitter of Q42.

Im FM-Modus greift die AGC-Schaltung nicht ein, dadurch zeigt das S-Meter den Wert des über D38 gleichgerichteten ZF-Signals am Kollektor des zweiten ZF-Verstärkers Q40 an. Der S-Meter Ausschlag kann über die Einstellung der Verstärkung des zweiten ZF-Verstärkers Q42 durch R167 im Bypass mit dem Kondensator am Emitter von Q42 erfolgen.

Also the RF GAIN can be operated even during reception. This controlling voltage carries out meter reading by affecting the DC amplifying at Q39 and by superimposing on the FM meter circuit through D37.

Auch hier kann die RF-Verstärkung beim Empfang arbeiten. Die DC-Regelspannung wird in Q39 verstärkt und über D37 dem FM-Anzeigekreis überlagert.

9. SQUELCH CIRCUIT

The signals from the discriminator are also supplied to the squelch circuit. The signals are filtered out to get approximately 25KHz noise by the parallel resonant circuit of L56 and C224.

Das Diskriminatorsignal wird auch an der Squelch-Schaltung zugeführt. Das Signal wird gefiltert, man erhält etwa 25 KHz-Rauschen durch den Parallelschwingkreis aus L56 und C224.

Squelch control R3 is located immediately after the discriminator, thus increasing the dynamic range of the circuit.

Der Squelchschaltung befindet sich unmittelbar hinter dem Diskriminator, dadurch wird der Dynamikbereich dieser Schaltung erhöht.

Noise components from squelch control R3 are amplified by Q54 and Q53, rectified by D44 and D46, and with C218, R217 and C219, R216 ensure correct timing sequence for smooth squelching supplied to the base of squelch control transistor Q52.

Störkomponenten vom Squelchregler R3 werden über Q54 und Q53 verstärkt und mit D44 und D46 gleichgerichtet. C218, R217 und C219, R216 sichern einen korrekten Zeitablauf für ein "weiches squelchen" an der Basis des Squelch-Transistors Q52.

When there are no audio signals, rectified DC voltage from D44 and D46 is applied to the base of Q52 is turning it ON. Since the collector of Q52 is connected to the base of AF amplifier Q49, base voltage of Q49 falls and Q49 is turned OFF, thus squelch action is applied, and no audio is heard from the speaker. At this time, signal lamp control transistor Q51 does not conduct, and so the signal lamp goes OFF.

Wenn kein Audiosignal vorliegt, gelangt die von D44 und D46 gleichgerichtete Spannung an die Basis von Q52 und er schaltet durch. Da der Kollektor von Q52 mit der Basis des AF-Verstärkers Q49 verbunden ist, fällt die Basisspannung des Q49. Q49 wird ausgeschaltet der Squelch greift ein und kein Ton kommt aus dem Lautsprecher. Der LED-Steuertransistor Q51 sperrt, die Receive-LED erlischt.

When incoming signals are received, noise is suppressed, the base voltage of Q52 falls, and Q52 turned OFF. Therefore, normal voltage is applied to the base of Q49, the squelch circuit is opened, and audio signals are heard from the speaker. Q51 also is turned ON, and the signal lamp lights up. The point at which squelch becomes operative (squelch threshold) is adjusted by R3.

Werden Signale empfangen, so wird das 25 KHz-Rauschen unterdrückt, die Spannung an der Basis von Q52 fällt und Q52 schaltet ab. Dafür wird der Basis von Q49 normale Spannung zugeführt, der Squelch wird geöffnet und das Audiosignal gelangt zum Lautsprecher. Q51 schaltet ebenfalls durch und die Receive-LED leuchtet. Der Squelch Arbeitspunkt wird über R3 bestimmt.

During transmit, positive voltage is supplied through R215 to the base of Q52 and the squelch circuit is operative, so squelch action is started the moment there is switchover from transmit to receive, and no loud cracking or similar noise is heard.

Während des Sendens gelangt positive Spannung über R215 an die Basis von Q52 und der Squelch arbeitet. Der Squelch startet im Moment der Umschaltung von RX auf TX und verhindert dadurch hörbares Umschaltklacken oder ähnliches.

10. AUDIO CIRCUIT

In the FM mode, the audio signals are passed through the de-emphasis circuit consisting of R196 and C206, and amplified by Q49, and fed to the low-pass filter Q50.

Im FM-Modus durchläuft das Audiosignal eine De-Emphasis Schaltung aus R196 und C206, wird dann mit Q49 verstärkt und gelangt an das Tiefpassfilter Q50.

In the SSB and CW modes, the detected and amplified audio signals from Q11 are also fed to the low-pass filter. High frequency components are cut by a low-pass filter Q50, in order to improve the signal-to-noise ratio. Then the audio signals are adjusted to a suitable level by the volume control R2, amplified by AF power amplifier IC5 to 1.5W or more, and fed to the speaker.

In den Betriebsarten SSB und CW gelangt das verstärkte Audiosignal von Q11 auch an einen Tiefpass. Hohe Frequenzkomponenten werden durch den Tiefpass Q50 abgeschritten um den Störabstand zu vergrößern. Danach wird das Audiosignal mit dem Lautstärkereglern R2 eingestellt und in der NF-Endstufe mit IC5 auf 1,5 Watt oder mehr verstärkt, dem Lautsprecher zugeführt.

During transmission, positive voltage is applied via D54 to Pin No. 8 of IC5, and so it does not function, and there is no risk of transmission signals being supplied to the receiver circuit.

Während Sendung wird über D54 eine positive Spannung an Pin 8 von IC5 gelegt damit er nicht mehr aktiv ist und keine Sendersignale in den Empfängerkreis gelangen.

TRANSMITTER CIRCUITS

1. MICROPHONE AMPLIFIER CIRCUIT

Voice signals from the microphone are amplified by Q18 and Q17. These output signals are fed to the MIC GAIN control R4 and the VOX circuit. The signals from the MIC GAIN control are kept below a set value of instantaneous frequency deviation by an IDC circuit consisting of Q16, Q15 and Q14.

Sprachsignale vom Mikrofon werden durch Q18 und Q17 verstärkt. Der Ausgang speist das Mike-Gain-Regler R4 und die VOX-Schaltung. Mit der IDC-Schaltung Q16, Q15 und Q14 wird das Signal in Amplitude und Frequenzgang angepasst. Mit der Tendenz zu engen Kanalabständen entstehen Probleme durch Übersprechen. Um die Charakteristik der Begrenzung noch weiter zu verbessern, ist durch die Verwendung eines 3-stufigen direktgekoppelten Verstärkers Q14 + Q15 + Q16 der Klirrfaktor verbessert worden und eine bessere Übersteuerungstestigkeit erreicht worden. Dieser 3-stufige Verstärker hat durch eine Rückkopplung eine niedrige Eingangsimpedanz, dadurch wird der Frequenzgang des Differenzierkreises (R75 + C61) verbessert. Der zwischen Rückkopplung und Masse geschaltete R67 regelt die Vorspannung von Q14 und macht die Klick-Schwingungsform symmetrisch. D12 und D13 dienen der Temperaturkompensation.

Q13 is an active low-pass filter which cuts out harmonics produced in the IDC circuit, and prevents spread of the sidebands. Output is taken out at the emitter of Q13, and fed to FM and SSB modulator circuits. R60 is a thermistor which minimizes modulation deviation caused by temperature variations.

Mit dem Tiefpass Q13 werden harmonische Nebenprodukte aus der IDC abgeschnitten und dadurch evtl. Seitenbandspleter vermieden. Der Ausgang wird am Emitter von Q13 abgegriffen und gelangt an die FM und SSB-Modulator Schaltungen. Der Thermistor R60 minimiert temperaturbedingte Modulationsabweichungen.

2. BALANCED MODULATOR CIRCUIT

IC4 is a balanced modulator where the BFO signal, fed through Pin 10, and the voice signal from the microphone amplifier, is amplified by Q66 and fed through Pin 4, result in a double side band signal output from Pin 6. When the mode switch is in the CW-mode, power for the MIC AMP circuit is turned OFF and therefore, the voice signal is not applied to IC4. Instead, a voltage from D49 is applied to Pin 4, IC4 loses balance, and the BFO signal becomes the output. This signal is used for the carrier in CW operation. During CW operation, a key is connected to the base of Q62. The key turns Q62 OFF during key down, therefore turning ON Q63 and the carrier ON.

IC4 ist ein Balanced-Modulator. Das BFO-Signal an Pin 10 wird mit dem in Q66 verstärkten Sprachsignal

an Pin 4 zu einem Zweiseitenbandsignal am Ausgang (Pin 6) moduliert. Im CW-Modus ist die Spannung für den Mikro-VV abgeschaltet, es gelangt also kein Sprachsignal an IC4. Das Ausgangssignal wird als unmodulierter Träger für CW genutzt. Bei CW ist die Taste an der Basis von Q62 angeschlossen. Die Taste schaltet Q62 aus und dadurch Q63 ein und tastet hierdurch den Träger hoch.

The output signal of IC4 (DSB signal) is fed to the crystal filter FL1 through Q63 and D7. FL1 cuts the unwanted side band of the DSB signal and the output is a Single Side Band signal. (CW signals pass through FL1 as unchanged wave forms). From the filter, the signal is sent to the transmit mixer circuit, through mode switch D57.

Das Ausgangssignal von IC4 (DoubleSideBand = DSB-signal) speist das Quarzfilter FL1 durch Q63 und D7. FL1 entfernt das unerwünschte Seitenband des DSB, übrig bleibt ein SSB-Signal. CW passiert das FL1 unverändert. Vom Filter gelangt das Signal durch die Mode-Schalterdiode D57 zum Sendermischer.

3. 10.7 MHz OSCILLATOR AND FM MODULATOR CIRCUITS

10.7MHz signals are oscillated by Q12 and amplified audio signals from the microphone are supplied to varicap diode D11 connected in series with the crystal unit. Voltage of these signals causes the capacitance of D11 to vary, and frequency modulation is effected. Since this transceiver is a heterodyne type, any frequency deviation that occurs in this circuit appears unchanged as a frequency deviation in the 144MHz band, and so use is made of a crystal unit with special characteristics to ensure suitable frequency deviation and stability. Maximum frequency deviation is adjusted by R59. The modulated signals are amplified by IC6 and fed to the transmit mixer circuit, through mode switch D10.

Q12 oszilliert auf 10,7 MHz, die verstärkten Audiosignale gelangen an die Kapazitätsdiode D11 und modulieren die Frequenz zu einem FM-Signal. Da der Transceiver heterodyn ausgelegt ist, wird diese Frequenzänderung unverändert in das 144 MHz übersetzt, so wird mit dieser Quarzsaltung der gewünschte Frequenzhub und die erwünschte Stabilität erreicht. Der Hub wird mit R59 eingestellt. Das modulierte Signal wird in IC6 verstärkt und dem Mischer über den Diodenschalter D10 zugeführt.

4. TRANSMIT MIXER CIRCUIT

These modulated signals, taken out from the balanced modulator or FM modulator by L14, are applied to transmit mixer IC2.

Die modulierten Signale aus dem Balanced-Modulator oder dem FM-Modulator werden über L14 dem Sendermischer IC2 zugeführt.

133MHz band signals from the PLL unit, which is the same as the first local oscillator of the receiver, are supplied through local oscillator transmit-receive switching diode D3 to IC2 and mixed with the 10.7MHz modulated signals to give signals of 133MHz +/- 10.7 MHz. As a balanced mixer is used for this mixing stage, 10.7MHz and 133MHz band signals are canceled and do not appear in the output.

Über Diode D3 gelangt die \leftrightarrow 133 MHz Signale an IC2 werden mit den modulierten 10,7 MHz gemischt und ergeben 133 +/- 10,7 MHz. Da ein Balancemischer Verwendung findet erscheinen weder die 10,7 Mhz noch die 133 MHz-Band-Signale am Ausgang.

5. POWER AMPLIFIER

The signals are further passed through a concentrated band-pass filter, to eliminate signals outside the 144MHz band, and then amplified by Q28, Q30, Q31, and Q32, to 10 watts or more.

In der Folge durchläuft das Signal den Bandpass L17-L21 um Signale ausserhalb des 144 MHz Bandes zu eliminieren. Dann erfolgt in Q28, Q30, Q31 und Q32 die Verstärkung auf 10 Watt und mehr.

The junction voltage of D16 and D17 is applied to the bases of Q31 and Q32, for the bias voltage. The bias voltages are adjusted by R127 and R130.

Die Übergangsspannung von D16 und D17 gelangt an die Basen der Transistoren Q31 und Q32. Die Ruhestrome werden mit R127 und R130 eingestellt.

Aus Servicemanual -> gemessen an J2: Treiber Q31 mit R127 = 25mA / Endstufe Q32 mit R130 = 50mA

D16 and D17 are connected to the cases of Q31 and Q32 respectively, and compensate the bias voltage by the temperature of Q31 and Q32.

D16 und D17 liegen an den Gehäusen von Q31 bzw. Q32 und kompensieren dadurch temperaturbedingte Ruhestromveränderungen.

6. LOW-PASS FILTER AND SWR DETECTING CIRCUIT

Since the output includes harmonics, it is passed through 2 Chebyshev sections, and 1 constant-K section low-pass filter, to attenuate harmonics to -60dB or more. This low-pass filter is set at about 180MHz cut-off frequency and minimum loss. The SWR Detecting Circuit is comprised of D24 and D25. The closer this circuit is to the ANT Terminal, the more its detecting circuit

characteristics are improved, but higher harmonics are caused due to Diode rectification. In order to avoid this, the SWR Detecting Circuit is located at the intermediate part of the low-pass filter. D24 and D25 rectify forward and reflected power, respectively, and supply signals to the APC amplifier. Forward and reflected functions are selected by S1 on the main board, and are set by R134 and supplied to the meter through D23.

Da Ausgänge von Leistungsverstärkern Oberwellen enthalten, werden sie über zwei Tschebyscheff-Glieder und ein festes K-Glied zur Antennenbuchse geführt. Dadurch werden die Harmonischen auf unter -60 dB abgeschwächt. Dieses Tiefpaßfilter ist für eine Sperrfrequenz von 180 MHz und minimale Verluste ausgelegt. Die SWR-Detektoren sind D24 und D25. Je näher ein Koppelkreis zum Antennen Ausgang liegt, desto besser wird die Gleichrichterwirkung. Diese Gleichrichtung erzeugt allerdings wieder Harmonische. Um diese zu vermeiden, sitzt der SWR-Detektorkreis im Zwischenteil des Tiefpaßfilters. D24 und D25 richten die Vorwärts- bzw. Rückwärtsleistung gleich und liefern die Signale an den APC-Verstärker. Vorwärts- und Rückwärtsanzeige werden mit S1 auf der Hauptplatine (Fig. 3.38) gewählt, mit R134 eingestellt und über D23 an das Multi-Meter geliefert.

7. APC CIRCUIT (Automatic Power Control)

Reflected outputs from the SWR Detecting Circuit are DC amplified by Q33 and Q29. If the matching of the antenna has deteriorated, the final stage drive level is lowered by raising the source voltage and by dropping the gain of Q28 and thus failure of the transistor due to overload can be prevented. APC threshold level is adjusted by R136.

Stehwellen aus der SWR-Schaltung werden mit Q33 und Q29 gleichstromverstärkt. Wenn sich die Antennenanpassung verschlechtert, wird die Ansteuerung der Endstufe durch Erhöhen der Source-Spannung an Q28 sowie durch Reduzierung der Verstärkung des Zwischenverstärkers herabgesetzt, so wird ein Defekt des Endtransistors durch Überlastung vermieden. Der APC-Level wird mit R136 eingestellt.

8. ALC AND FM POWER CONTROL CIRCUITS

The drive level of SSB or CW is detected by rectifiers D18 and D19 whose threshold level depends upon the bias of R129. This rectified voltage is applied to the gate of Q63 ~~through D58~~ to control final stage drive level.

Der Ansteuerpegel bei SSB und CW wird über die Gleichrichter D18 und D19 erfasst, deren Schwelle wird vom vom Strom durch R129 bestimmt. Die gleichgerichtete Spannung wird über D58 dem Gate von Q63 zugeführt und steuert den Treiberlevel.

The ALC voltage applied to the gate of Q64 through R257 in FM transmitting, is amplified by Q65 in the power control circuit, and changes the drain voltage of the Q28 and controls drive level.

Bei FM-Sendung gelangt die ALC-Spannung durch R257 an das Gate von Q64, wird über Q65 im Leistungskontrollteil verstärkt und steuert den Treiberlevel durch verändern der Drainspannung von Q28.

Therefore, you can control the output power continuously in the FM mode. However, in the SSB or CW modes, the source voltage of Q64 is boosted, where upon Q65 turns ON and drain voltage of Q28 becomes 9V. Therefore, the power control circuit does not actuate in the SSB or CW modes.

Deshalb kann die Leistung bei FM kontinuierlich eingestellt werden. In SSB oder CW wird die Sourcespannung von Q64 verstärkt da Q65 einschaltet und das Drain von Q28 9Volt bekommt. Deshalb wirkt die Leistungsverstellung nicht in SSB und CW.

9. VOX AND CW BREAK-IN CIRCUIT

The voice signals from the microphone are amplified by Q75 and detected by Q74 to drive Q73. Q73 switches the power supply line ON and OFF corresponding to voice signals. C281, R302 (VOX DELAY control) and R303 compose a circuit to determine the time constant to the VOX circuit. The output of this circuit is amplified by Q57 and Q56 to drive Q55 to switch the transmit circuit ON and OFF. The anti-VOX circuit prevents T/R switching caused by sound from the speaker. Signals from the speaker are amplified by Q69, Q70, and Q71 through R291 (ANTI VOX GAIN Control). These are then fed to Q72 to raise emitter voltage of Q74 which reduces the sensitivity of the detector circuit. The CW break-in circuit is composed of Q59 and Q58 amplifying the signals from the key at Q59 and feeding it to Q58 for switching the power supply voltage ON and OFF. This ON-OFF voltage is fed to the circuit composed of C229, R235 (CW DELAY Control) and R237 having the specified time constant to control the transmit circuit by way of Q57, Q56, and Q55.

aus DE-Handbuch übernommen:

Die VOX GAIN wird an R310 eingestellt. Dieses Signal wird durch Q74 gleichgerichtet, wobei sich der Ausgang infolge der Antivox-Spannung ändert. Der Ausgang der Empfangs-ZF wird durch Q69 über den Einstellregler R291 zur Antivox verstärkt. Dieses Signal weist eine gewisse Abfallzeit am Spitzengleichrichter Q70 auf und wird von Q71 und Q72 verstärkt. Die verstärkte Gleichspannung wird auf den Emitter der VOX-Schaltung Q74 gelegt und unterdrückt die Gleichrichtung der VOX.

Die gleichgerichtete Spannung, die aus dem VOX-Kreis erhalten wird, lädt C229 im Verzögerungskreis von Q73 auf. Die VOX-Verzögerung wird mit R235 eingestellt. Der Gleichspannung aus dem Verzögerungskreis

wird eine Hysterese durch den Schmitt-Trigger gegeben, der aus Q56 und Q57 besteht, gespeist über D47. Das schaltet den Standby-Steuertransistor Q55 ein, so daß auf Senden geschaltet wird.

10. CW MONITORING CIRCUIT

Q61 is a CR phase shifting oscillator whose frequency is set to about 900Hz. Q60 is a switching circuit to make and break a ground path for C230 so as to vary the gain of Q61 for switching the oscillation ON and OFF. The oscillating output passing through R249 (CW MONI volume control) is fed to the 8th Pin of the AF amplifier circuit IC5 to drive the speaker.

Q61 ist ein RC-Oszillator mit einer Frequenz von ca. 900 Hz. Der Schalter Q60 legt im Rhythmus der Taste C230 an Masse und ändert damit die Verstärkung von Q61 und bewirkt damit Oszillation EIN / AUS. Der Oszillatorausgang wird über das CW-MONI-Poti R249 an Pin 8 der NF-Endstufe IC5 geführt und gelangt zum Lautsprecher.

11. POWER SUPPLY CIRCUIT

Regardless of whether the transceiver is switched to the receive mode or not, power is always supplied from a constantly activated source to the receiver AF amplifier, AGC, the transmitter microphone amplifier circuits and also to the CW monitor. BFO and VXO circuits are supplied through the mode switch. This power source supplied current through R144, D33 and zener diode D32, producing a regulated voltage of about 9.6V. This corresponds to the reference voltage of D32's cathode, and is applied to the base of Q37, resulting in a regulated voltage of about 9.5V which is taken out at the emitter of Q37.

The power source which is operative during reception supplies voltage to the RF amplifier, mixers, SSB IF amplifier, and FM IF circuits through the mode switch. Similar to the constantly activated source in the receive mode power circuit, current flows through R138, D26, and D32. A reference voltage is supplied to the base of C134 and regulated voltage is taken from the emitter of Q34.

The power source which is in operation during transmit supplies power to the 10.7MHz oscillator, transmit mixer, IF amplifier, driver bias circuit, and AFC control circuit. Similar to the receive mode power circuit, in the transmit mode power circuit current flows through R143, D31, and D32. A reference voltage is supplied to the base of Q35, and regulated voltage is taken out from the emitter of Q35.

The ALC control circuit, exciting amplifier, power amplifier, AF power amplifier and noise blanker circuits are supplied directly with 13.8V DC.

D56 is provided to retain memory of the up-down counter inside the PLL LSI. If a DC power source is connected, and the memory switch is ON, the operated frequency is retained irrespective of the power switch position.

If the power supply is connected with polarity reversed, the equipment is protected. Since D34 becomes forward biased, a large current flows and causes the fuse in the external power supply cord to blow.

During reception, since the microphone push-to-talk (PTT) switch is OFF, there is no flow of current through D27, D28, receive power supply becomes operative, and receive +9V is obtained. Also, since D29 is OFF, voltage is supplied through R140 to the base of Q36 and turns Q36 ON. The base of Q35 is connected to ground through Q36 and D30, and so the transmit power supply is inoperative, and the transceiver is set in the receive mode.

During transmission, the PTT switch is ON, Q34's base is connected to ground through D27, and output voltage of the receive power supply becomes zero. D28 connected to the emitter of Q34 rapidly discharges voltage stored in the receive circuit capacitor to prevent receiver and transmitter from functioning simultaneously during switching. At the same time, Q36 is turned OFF, as its base is connected to ground through D29, and so the D32 reference voltage is applied to the base of Q35, +9V is obtained from the transmit power supply, and the transceiver will transmit.

aus DE-Handbuch übernommen:

Stromversorgung

An der Anode von D33 wird eine geregelte Spannung von 9 Volt erzeugt, und zwar durch eine Schaltung, die aus R144, D33 und der Zenerdiode D32 besteht, die durch den Emitterfolger Q37 gepuffert ist. Diese Spannung wird an den Mikrofonverstärker geliefert und an IDC, AGC, NF-Verstärker, sowie an den CW-Monitor, BFO und VOX über den Betriebsartenschalter MODE. Am Emitterfolger Q34 wird 9 Volt geregelte Spannung abgenommen für den Empfangsteil. Der Clamp-Kreis besteht aus R138, D26 und D32. Diese Spannung gelangt über den Schalter MODE an den HF-Verstärker, den Mischer und den ZF-Teil für SSB und FM. Sie speist auch den Störaustaster. Die 9Volt für Senden werden geregelt und gepuffert durch den Emitterfolger Q35 aus dem Clamp-Kreis, der aus R143, D31 und D32 besteht. Diese Spannung wird an den Sendemischer, Zwischenverstärker, Balancemodulator und den FM-Modulator über den Schalter MODE angelegt.

Standby-Schaltung

Die Kathoden von D27, D28 und D29 sind an den Mikrofon-PTT-Schalter und den Schalter SEND SW, sowie an den Standby-Steuertransistor angeschlossen. Wird diese Leitung an Masse gelegt, so wird die Basisspannung von Q34 über D 27 erniedrigt und die 9Volt für den Empfang gehen auf Null zurück. Die Basisspannung von Q36 wird auch über D29 verringert, wobei Q36 ausschaltet und 9Volt für den Sendeteil erzeugt werden. Dabei leuchtet die LED für Senden auf. Wird diese Leitung freigegeben, so schaltet D27 aus und Q36 an, wobei die Basisspannung von Q35 über D30 abgesenkt wird und dadurch die 9V

Sendespannung auf Null geht. D28 ist so installiert, daß jede Restladung in der 9V-Empfangsleitung, d. h. in deren Filterkondensatoren, entladen wird. D56 ist vorgesehen, um den Speicherwert des Vor-Rück-Zählers im Inneren des LSI festzuhalten. Wenn eine Gleichspannungsquelle angeschlossen ist und der Schalter »Memory« eingeschaltet ist, wird der Speicherinhalt festgehalten, gleich, wie der Netzschalter steht. D34 ist ein Verpolungsschutz.

PLL (PHASE LOCKED LOOP) UNIT

1. LOCAL OSCILLATOR CIRCUIT (LO)

This circuit is for the oscillation, in 100Hz steps, of the lowest two digits (0.0~9.9 KHz) of the VCO output frequency of the PLL circuit. It consists of Q9 oscillator, and Q10 and Q11 frequency triplers.

Diese Schaltung ist verantwortlich für die Oszillation der untersten 2 Digits (0.0~9.9 KHz) der VCO Ausgangsfrequenz der PLL-Schaltung in 100 Hz Schritten. Sie besteht aus dem Oszillator Q9 und den Verdreifachern Q10 und Q11.

The crystal unit X2 is connected to Q9's base thus Q9 oscillates about 14.700MHz, and the oscillating frequency is altered in 100Hz steps by the voltage supplied to D7 and D8 from the D/A (Digital to Analog) converter. The 14MHz signal is tripled at Q10 and is further tripled at Q11. Thus, the local oscillator output of 130MHz is obtained.

Der Schwingquarz X2 hängt an der Basis von Q9 und schwingt mit ca. 14,700 MHz. Mit den Hilfe der Kapazitätsdioden D7 und D8 und der zugeführten Spannung aus dem D/A-Wandler, wird die Oszillatorfrequenz in 100 Hz Schritten verändert. Das 14 MHz Signal wird mit Q10 verdreifacht und Q11 verdreifacht. Dadurch wird am LO die Ausgangsfrequenz von 130 Mhz erreicht.

2. MIXER AND AMPLIFIER CIRCUIT

The local oscillator output and VCO output are mixed by IC4 and the mixed signal (1MHz~3MHz) taken from Pin 3 and 5 is filtered by a low-pass filter and amplified by IC5 up to a level of more than 1.6Vp-p.

LO-Ausgang und VCO-Ausgang werden in IC4 gemixt und das Mischprodukt (1Mhz - 3Mhz) an Pin 3 entnommen, einem Tiefpass zugeführt und mit IC5 auf einen Level von 1,6Vss verstärkt.

3. PLL LSI CIRCUIT

The output from IC5 is the input to the LSI, Pin 2. The LSI contains PLL and control circuits. To drive the reference frequency of the PLL, a 5MHz crystal oscillator is connected to Pins 3 and 4. This frequency is divided into 1/500 by the fixed frequency divider in the LSI and becomes the accurate frequency of 10KHz. The input from Pin 2 is divided by the Programmable divider in the LSI from 1/100~1/299 which is decided by the controller, fed into the phase frequency detector with the reference frequency of 10KHz. The output is taken from Pin 40 in the form of a pulse from the phase detector according to these two input's difference of phase. The controller circuit consists of two sets of a 4-1/2 digit BCD up-down counter for the A and B VFOs, the digit selector to control the up-down counters by a parallel data, A/B counter selector, etc.

Der Ausgang von IC5 führt zum Eingang Pin 2 des LSI. Das LSI enthält die PLL und Steuerschaltungen. Zur Bereitstellung der Referenzfrequenz für die PLL ist ein 5 MHz Quarzoszillator an Pin 3 und 4 verbunden. Diese Frequenz wird durch im LSI von einem festen Teiler 1/500 geteilt und ergibt die genaue Frequenz von 10 KHz. Der Eingang von Pin 2 (1Mhz - 3Mhz) wird im LSI durch einen programmierbaren Teiler von 1/100 bis 1/299 geteilt. Der Faktor wird vom internen Controller bestimmt welcher im Phasendetektor durch Vergleich mit der 10 KHz Referenzfrequenz ermittelt wird. Am Ausgang Pin 40 liegt nun ein Puls der von der Differenz des Phasenvergleichs der beiden Eingänge (F_{in} / f_{ref}) abhängt. Der Controller beinhaltet zwei Sets 4-1/2 Digit-BCD-auf-ab-Zähler für den A-VFO und B-VFO, den Digitselektor zur Steuerung der auf-ab-Zähler durch Paralleldaten, A/B-Zähler Selektion usw.

The CLOCK (CK) and UP/DOWN (UD) signals, which are the output from the tuning knob/chopper circuit, are fed to Pins 12 and 19 respectively. The clock signal is in proportion to the rotation of the tuning knob, and the up/down signal is dependant on the direction of rotation of the tuning knob. When the UD signal is HIGH, the up/down counter increases the frequency in proportion to the number of CK pulses, and when the UD is LOW, the frequency is decreased in the same way.

Die CLOCK (CK) und UP/DOWN (UD) Signale kommen aus der Drehknopf/Chopper Schaltung und gehen an Pin 12 bzw. Pin 19. Das CLOCK-Signal ist proportional der Drehknopfrotation, das up/down Signal hängt von der Drehrichtung ab. Wird UD HIGH zählt der Zähler nach oben, falls LOW umgekehrt.

The signal which is determined by the "A" or "B" position of the VFO switch on the front panel, becomes the SL signal. This is fed to Pin 14 and selects either "A" or "B" set of up/down counters. In the "SIM", "N-DUP" or "R-DUP" position of the VFO switch,

the G signal is fed to Pin 15 and gangs the "A" and "B" up/down counters by feeding the CLOCK signals to the both counters. Thus the "A" and "B" VFOs follow each other.

Die VFO "A" oder "B" Wahl am Frontpanel-Schalter entspricht dem SL-Anschluss Pin 14 am LSI. Die "SIM", "N-DUP" oder "R-DUP" Information gelangt an Pin 15 des LSI und bestimmt den Zähler A oder B.

If you push the Tuning Speed button on the front panel, the signal is locked in the driver unit and fed to Pin 16 as the X signal. In this case the KiloHertz and Hundred Hertz digits are cleared to 0, the CK signal is fed to the 5KHZ digit counter, which results in high speed or 5KHZ steps tuning.

Wird die Tuning-speed Taste (TS) betätigt, so wird Pin 16, der X-Eingang am LSI, umgeschaltet. In diesem Fall werden die KHz und 100 Hz Digits auf Null gesetzt und das CK Signal wird dem 5 KHz -Zähler zugeführt was zu schneller Abstimmung in 5 KHz Schritten führt.

The FCL K0~K8 pins of IC1 are connected to the ACC socket on the rear panel. when a HIGH level signal is supplied to FCL Pin 11 and KO~k8 at the same time, the MHz digit figure can be reset according to the input data at K0 ~K8, any figure can be set according to the data from the higher digit to the lower.

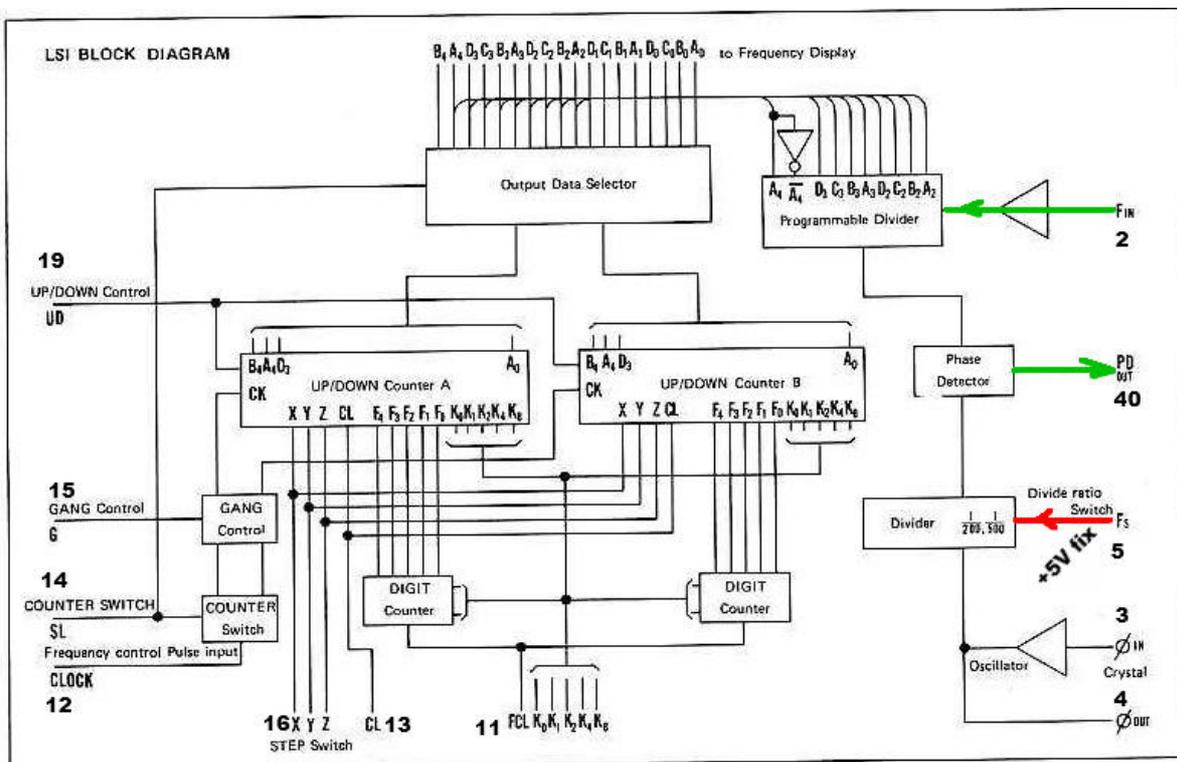
Die FCL K0-K8 Pins von IC1 sind mit der ACC-Buchse auf der Rückseite verbunden. Wenn FCL (Pin 11) und K0-K8 gleichzeitig auf HIGH gesetzt werden, übernimmt die Digitalanzeige dies.

For use with an external controller, such as the IC-RM3, resetting of the frequency can be accomplished in the same manner through the ACC socket

Externe Controller am ACC-Anschluss (z.B. IC-RM3) bewirken das gleiche.

By the input of CK and UD signals, or by resetting the up/down counter, the output signals appear at A0~B4 and are supplied to the driver unit for frequency display. The output signals of A2~A4 are supplied to the PLL programmable divider for determination of the divider ratio in accordance with the up/down signal. Also, the output signals of A0 ~ D1 are supplied to the D/A converter for 100Hz steps tuning.

Eingaben von CK und UD Signalen oder Reset der up/down-Zähler bewirken die Ausgabe über A0-B4 und speisen die Treibereinheit für das Display. Die Ausgänge A2-A4 speisen den programmierbaren Teiler der PLL zur Bestimmung des Teilverhältnisses in Abstimmung mit dem up/down-Signal. Die Ausgänge A0-D1 speisen auch den D/A-Wandler für die 100 Hz Schritt-Abstimmung.



4. LOOP FILTER CIRCUIT

The phase-detected signal from Pin 40 of IC1 is fed to the loop filter circuit of Q4 and Q6. This circuit changes the output of the phase detector, which is a pulse, into a DC voltage, and also decides the response time of the whole loop. The output is fed to the secondary low-pass filter Q7 to reduce noise components contained in the output signal. This output is fed to the VCO unit and is used as the voltage to control the VCO frequency.

Das Phasendetektorsignal von Pin 40 des IC1 speist die Loopfilter-Schaltung Q4 und Q6. Diese Schaltung wandelt den Impuls des Phasendetektors in eine Gleichspannung bestimmt auch die Reaktionszeit der gesamten Regelschleife. Der Ausgang speist den sekundären Tiefpass Q7 zur Unterdrückung von Störkomponenten im Ausgangssignal. Der Ausgang speist die Frequenzsteuerung der VCO-Einheit.

5. D/A (DIGITAL TO ANALOG) CONVERTER CIRCUIT

The PLL unit has a D/A converter for the VCO (local oscillator) circuit. The signals from A0-D1 of IC1 are supplied to R1 ~R9 for D/A conversion. This D/A converted voltage changes in steps to give 100Hz step variation to the VXO frequency. This frequency is adjusted coarsely by R17 and finely by R18. R20 is for temperature compensation.

Die PLL-Einheit beinhaltet einen D/A-Wandler für den VCO (spannungsgesteuerter Oszillator). Die Signale von A0-D1 aus IC1 gelangen an R1-R9 zur D/A-Wandlung. Die D/A-Spannung ändert sich in passenden Schritten für 100 Hz Veränderungen der VXO-Frequenz. Die Frequenz wird grob mit R17 und fein mit R18 abgeglichen. R20 dient zur Temperaturkompensation.

6. TRANSMIT MUTING CIRCUIT

When the PLL is unlocked, pulses with a width proportional to the phase difference appear at Pin 40 of IC1. These pulses are fed to the gate of Q2, and the output from the source is rectified by D5 and D6. The rectified DC voltage from D5 and D6 is applied to the base of Q3, turning it ON. Since the collector of Q3 is connected to the base of Q35 in the main unit, the base voltage of Q35 falls and Q35 is turned OFF, thus the transmit 9V of the main unit goes to zero and inhibits transmitting when the PLL is unlocked. Therefore, if unlock occurs during transmitting, Q52 in the squelch circuit on the main unit is turned OFF and Q51 is turned ON, and the receive indicator lights up even if the set is in the transmit mode, to give warning.

Rastet die PLL nicht so erscheinen proportional weite Pulse am Pin 40 von IC1. Diese Pulse speisen das Gate von Q2 dessen Ausgang mit D5 und D6 gleichgerichtet wird. Diese Gleichspannung gelangt an die Basis von Q3 und schaltet ihn EIN. Der Kollektor von Q3 ist mit der Basis von Q35 der Haupteinheit verbunden. Die Basisspannung von Q35 sinkt und er schaltet ab. Hierdurch geht die +9V-Transmit-Spannung gegen Null und verhindert das Senden falls die PLL nicht gerastet ist. Falls dieses "unlock" während des Sendens auftritt schaltet Q52 in der Squelch Einheit AUS und Q51 schaltet EIN und die Receive-LED leuchtet zur Warnung auf obwohl der TRX auf "senden" steht.

7. LOGIC CIRCUITS

The PLL unit has logic circuits which consist of IC2 and IC3 for controlling IC1, the PLL LSI.

Die PLL beinhaltet Logikschaltkreise IC2 und IC3 zur Steuerung des PLL-LSI IC1.

SL CONTROL CIRCUIT

This circuit controls the SL signal to select either "A" or "B" set of up/down counters. The SL line is connected to Pin 14 of IC1. When this line is LOW, the set is controlled with "A" VFO, and when HIGH, with "B" VFO.

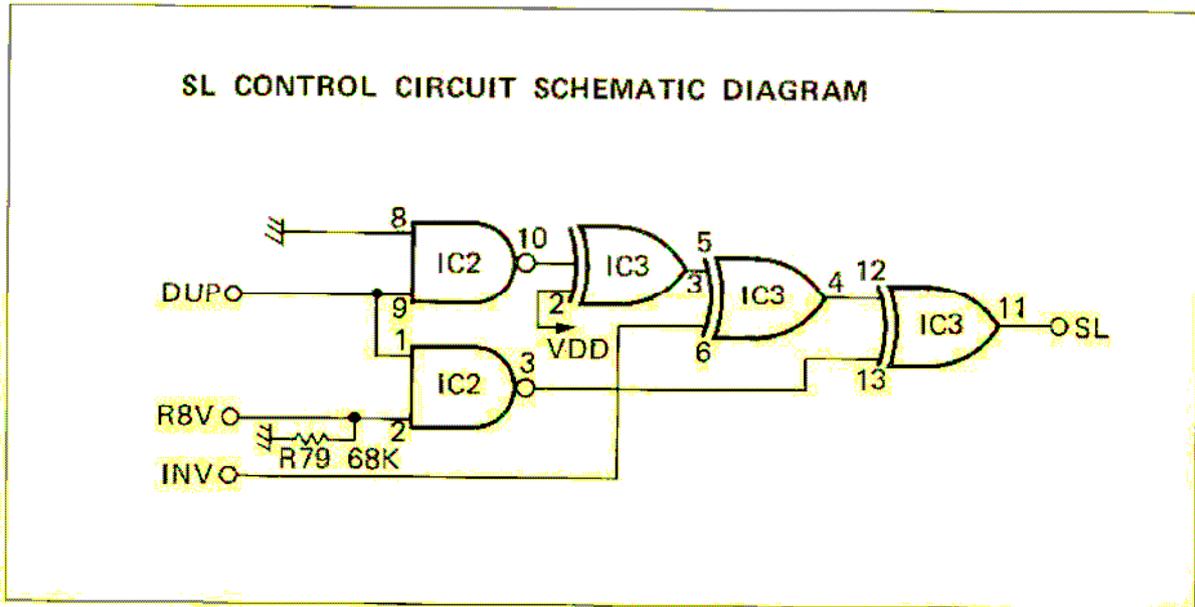
Die Schaltung steuert das SL-Signal um entweder den "A" oder "B" up/down-Zähler zu selektieren. Die SL Leitung ist an Pin 14 von IC1 angeschlossen. Bei LOW wird der "A-VFO", bei HIGH der "B-VFO" angesprochen.

The R9V line is connected to the power line which is supplied in the RECEIVE mode, resulting in a HIGH level in the RECEIVE mode and LOW level in the TRANSMIT mode.

Die R9V Leitung hat hängt an der RECEIVE-Versorgungsspannung, daraus ergibt sich Level-HIGH bei Empfang und Level-LOW bei Sendung.

The DUP and INV lines are connected to the VFO switch. The DUP line is HIGH in the "N-DUP" and "R-DUP" positions, and the INV line is HIGH in the "A", "SIM" and "R-DUP" positions.

Die DUP und INV Leitungen sind mit dem VFO-Schalter verbunden. Die DUP Leitung ist HIGH in der "N-DUP"-Position und die INV-Leitung ist HIGH in den Positionen "A", "SIM" und "R-DUP".



The SL signal is controlled with these levels as in the truth table, shown below.

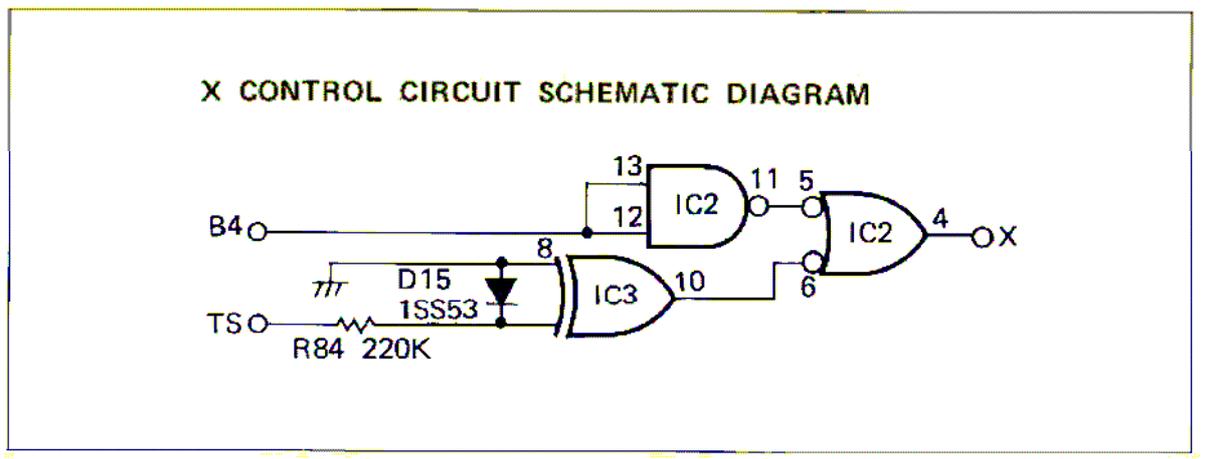
Das SL-Signal wird entsprechend der Logikwerte in der Wahrheitstabelle gesteuert.

VFO SW	T/R SW	R9V	DUP	INV	SL	Selected VFO
A	T/R	L/H	L	H	L	A
B	T/R	L/H	L	L	H	B
SIM	T/R	L/H	L	H	L	A
N-DUP	R	H	H	L	L	A
N-DUP	T	L	H	L	H	B
R-DUP	R	H	H	H	H	B
R-DUP	T	L	H	H	L	A

X CONTROL CIRCUIT

The circuit controls the X signal to select the frequency steps of either 100Hz or 5KHz. The X line is connected to Pin 16 of IC1, and when the line is HIGH, the frequency steps are 5KHz, and when LOW, 100Hz. The TS line is connected to the TUNING SPEED BUTTON, and is-LOW when the button is depressed, and the X line is HIGH.

Die Schaltung steuert das X-Signal zur Auswahl der Frequenzschritte von entweder 100 Hz oder 5 KHz. Die X-Leitung ist an Pin 16 von IC1 angeschlossen, bei HIGH sind 5 KHz Schritte ausgewählt. Die TS-Leitung ist mit der TUNING SPEED BUTTON verbunden und LOW wenn die Taste gedrückt ist, die X-Leitung ist dann HIGH.



8. POWER CIRCUIT

The power circuit of the PLL consists of IC6, IC7 and IC8. IC6 is a 5V voltage regulator and supplies IC1, IC2 and IC3, and the display and logic circuits of the driver unit.

Die Stromversorgung der PLL besteht aus IC6, IC7 und IC8. IC6 ist ein 5V Regler und versorgt IC1, IC2, IC3 sowie die Display und Logikschaltung der Treibereinheit.

IC7 is a DC-DC converter for -9V, and supplies to the AGC circuit of the main unit. Q12 is the switch of IC7, and turns it OFF when the main power switch is turned OFF.

IC7 ist ein DC-DC-Wandler für -9 Volt und versorgt die AGC-Schaltung der Hauptplatine. Q12 ist der Schalter für IC7 und schaltet ab wenn der Hauptschalter abgeschaltet ist.

IC8 is an 8.2V voltage regulator and supplies other circuits in the PLL unit, and also the VCO unit through Q1, a ripple filter.

IC8 ist ein 8,2Volt Regler und versorgt die anderen Schaltungen der PLL und auch die VCO-Einheit über Q1, einen Glättungsfilter.

VCO UNIT

The VCO (Voltage-Controlled Oscillator) is a series-tuned Colpitts circuit, using Q1, and oscillates in the 133MHz range. The oscillation frequency is controlled by a DC voltage which is supplied from the loop filter Q7 in the PLL unit to varactor diode D1 inserted in series with the oscillation coil.

Der VCO ist ein Serien-Colpitts Oszillator mit Q1. Er schwingt im Bereich 133 MHz. Die Frequenz wird mit der Gleichspannung gesteuert die aus dem Loopfilter Q7 der PLL einheit kommt und eine Kapazitätsdiode in Reihe mit der Schwingspule speist.

The oscillator output is taken from the source of Q1, and passed through buffer amplifier Q2 to become the local oscillator signals for the transmitter and receiver. A part of these signals is supplied to the PLL unit to get a DC voltage to control frequency of the VCO.

Der Oszillatorausgang wird an der Source von Q1 abgegriffen. Durch den Pufferverstärker Q2 wird das Oszillatorsignal für Sender und Empfänger bereitgestellt. Ein Teil dieses Signals speist auch die PLL-Einheit um von dort wiederum die Gleichspannung zur Frequenzsteuerung des VCO zu bekommen.

DRIVER UNIT

1. FREQUENCY DISPLAY

IC12-IC18 are the 7 segment LED indicators for the frequency display. IC15-IC18 are driven by IC1-IC4. The input for the drivers is taken from the BCD output of IC1, A0 ~ D3 in the PLL.

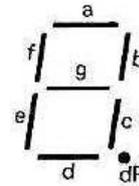
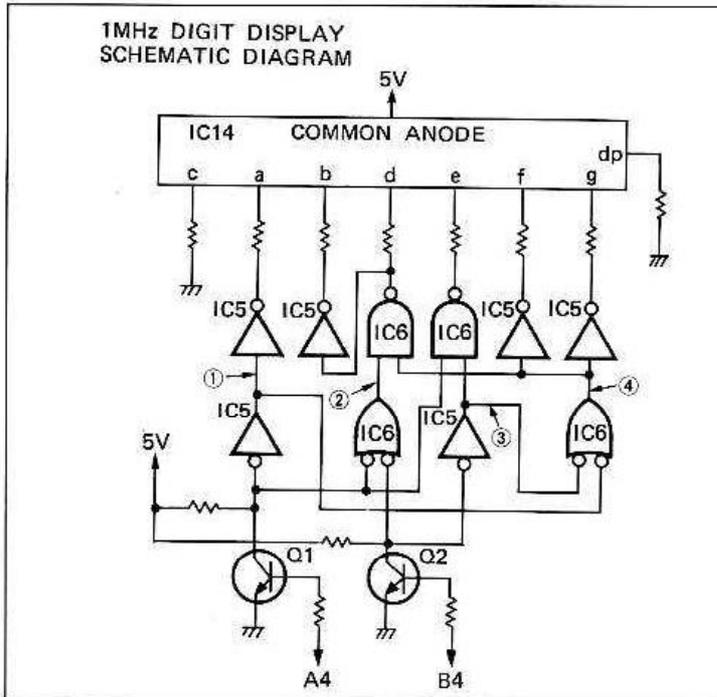
IC12-IC18 sind die 7-Segment-Anzeigen für das Frequenzdisplay. IC15-IC18 werden von IC1-IC4 angesteuert. Die Eingänge der Treiber bekommen ihr BCD-Signal von den Ausgängen A0-D3 des IC1 in der PLL.

IC14 is driven by IC5 and IC6. The inputs of A4 and B4 from the PLL unit are decoded by IC5 and IC6 to indicate the MHz digit.

IC14 wird von IC5 und IC6 angesteuert. Die Informationen von A4 und B4 aus der PLL-Einheit werden von IC5 und IC6 dekodiert und dienen zur Anzeige des MHz-Digits.

IC12 and IC13 indicate the 100MHz and 10MHz digits, and display "1" and "4" in any case.

IC12 und IC13 dienen zur Anzeige des 100 MHz und 10 MHz Digits und zeigen immer "1" und "4" an.



The segments "dp" and "c" of the 1MHz digit are turned ON in any case.

1MHz DIGIT DISPLAY TRUTH TABLE

1-MHz Digit-Display Wahrheitstabelle.

INPUT		POINT				DISPLAY						
B4	A4	①	②	③	④	a	b	d	e	f	g	Figure
L	L	L	L	L	H		ON			ON	ON	4
L	H	H	H	L	H	ON		ON		ON	ON	5

2. PHOTO-CHOPPER CIRCUIT

D3 and D4 are infrared LED diodes and Q8 and Q9 are the photo transistors. D3 sends a continuous light source to Q8 and D4 sends it to Q9. Between the diodes and the transistors is a windowed chopper disk which is connected directly to the shaft of the tuning knob. The diodes and photo transistors are set up so that a phase difference of 90 degrees results when the disk revolves.

D3 und D4 sind Infrarot LED's und Q8 und Q9 sind Fototransistoren. D3 sendet kontinuierlich Licht an Q8 und D4 an Q9. Zwischen den Dioden und den Transistoren sitzt eine Lochscheibe die mit der Welle des Drehknopfes verbunden ist. Die Dioden und Transistoren sind so gesetzt, daß bei Drehung der Scheibe eine Phasenversatz von 90 Grad entsteht.

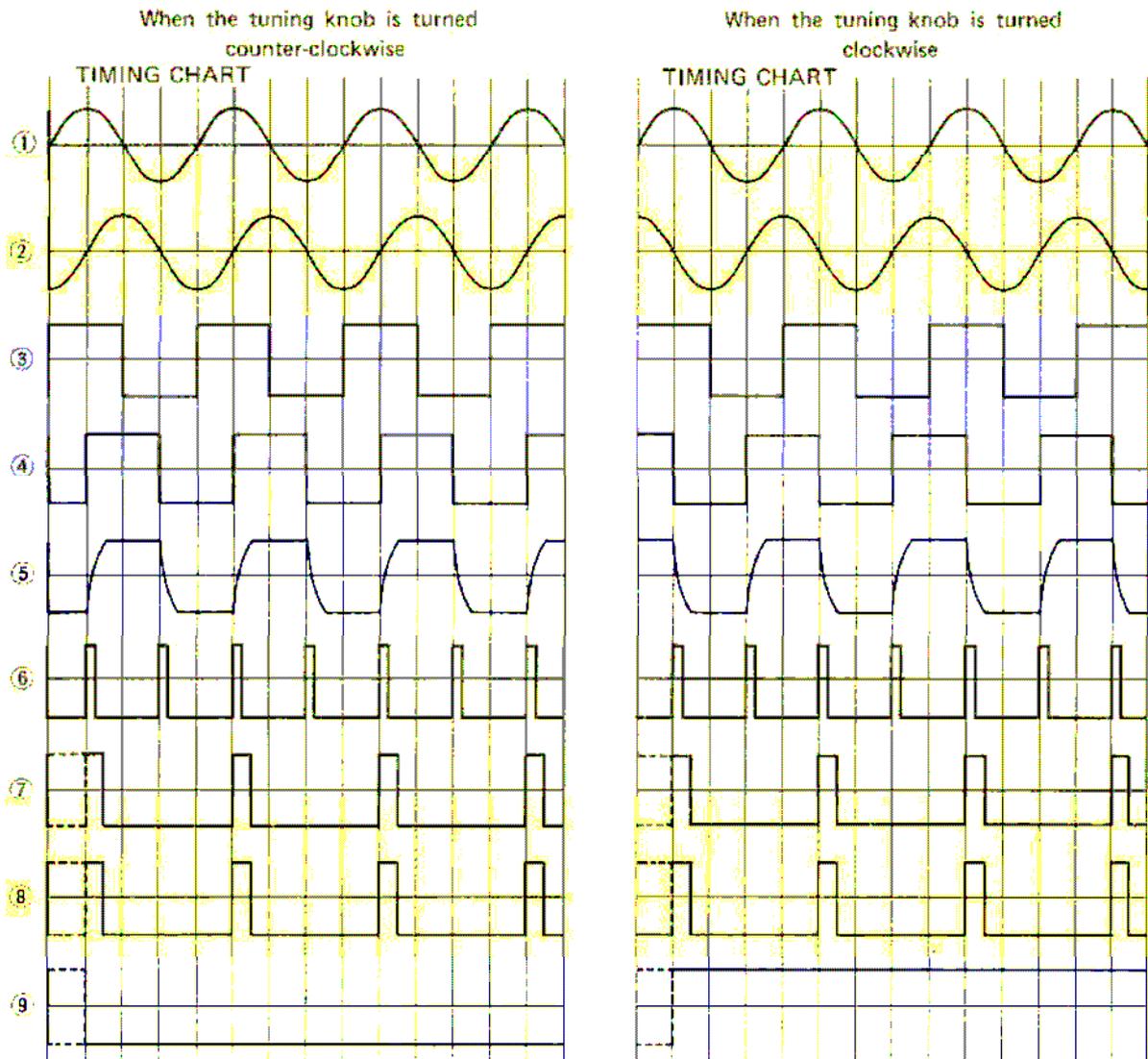
The signals from Q8 and Q9 are fed to IC11 on the driver unit. Pin 11 of IC11 is connected to the data input pin (Pin 9) of flip-flop IC9. The output from Pin 3 is divided, and fed to Pins 8 and 9 of IC10. One is fed directly and the other is fed through a delay circuit. IC10 is an exclusive OR gate IC, and both pulses of the positive edge and the negative edge are added to Pin 11 of IC9 and Q output is added to IC9's reset terminal through the delay circuit so IC9 operates as a monostable multivibrator Q is fed to Pin 1 of IC10, the scan signal from the ACC socket (if used) is fed to Pin 2, and the output signal is sent to the LSI in the PLL unit as the Clock (CK) signal. Pin 13 of IC9 is connected to Pin 3 and the delay circuits of R49 and C6 are connected with the data input Pin 5.

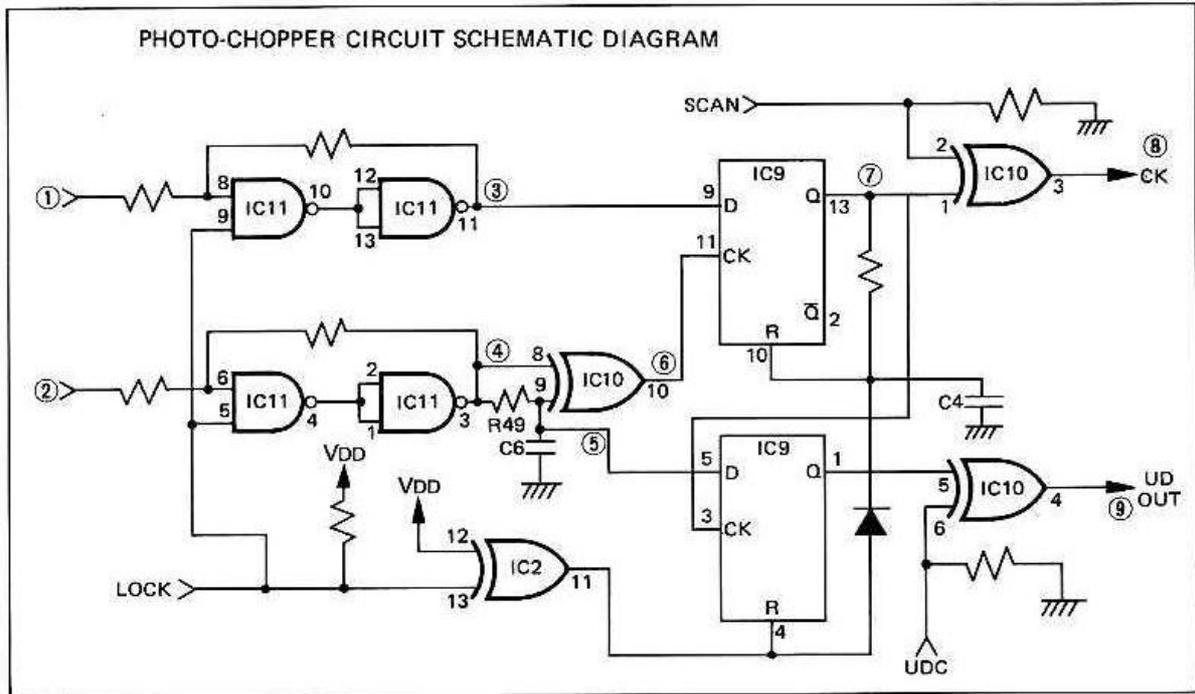
Die Signale von Q8 und Q9 gelangen an IC11 auf der Treiberplatine. Pin 11 von IC11 ist mit dem mit dem Data-Eingang (Pin 9) des Flipflops IC9 verbunden. Der Ausgang von IC11 (Pin 3) teilt sich auf und gelangt an an Pin 8 und 9 von IC10, einer ist dirkt verbunden der andere durchläuft ein Verzögerungsglied aus

R49/C6. IC10 ist ein Exklusiv-Oder-Gatter und beide Impulse der positiven und negativen Flanke erscheinen an Pin 11 von IC9. Der Q-Ausgang von IC9 ist über ein Verzögerungsglied dem Reset-Eingang von IC9 verbunden. IC9 arbeitet also als Monoflop und Q gelangt an Pin 1 von IC10. Falls ein Scan-Signal von der ACC-Buchse kommt, gelangt dieses an Pin 2 von IC10. Das Ausgangssignal von IC10 wird als CLOCK-Signal (CK) an den den LSI in der PLL übergeben. Pin 13 von IC9 ist mit Pin 3 verbunden, das Verzögerungsglied R49/C6 mit Pin 5.

IC9 is a D type flip-flop, so it latches the signal of the delay circuit. IC9 gives a High (H) level signal when the tuning knob is turned clockwise, and a Low (L) level signal when the knob is turned counter-clockwise. This (H) or (L) signal goes to Pin 5 of IC10 along with the signal from the ACC socket (if used), which is fed to Pin 6. The output of IC10 is added to the LSI as the UP/DOWN (UD) signal.

IC9 ist ein D-Flipflop und speichert das Signal des Verzögerungsgliedes. IC9 gibt HIGH aus wenn der Abstimmknopf im Uhrzeigersinn und LOW wenn gegen den Uhrzeigersinn bewegt wird. Dieses Signal gelangt an Pin 5 von IC10 sowie auch ggf. das Signal von der ACC-Buchse auf Pin 6. Der Ausgang von IC10 gelangt an den LSI der PLL als UP/DOWN-Signal (UD).





3. RIT CONTROL CIRCUIT

Once the RIT switch is pushed down, Pin 6 of IC8 becomes HIGH. Any chatter from the switch is absorbed by the delay circuit of R68 and C9. Also the two gates of IC8 are used as inverters and the square pulse is achieved by the Schmitt trigger circuit. The output from IC8 Pin 3 goes to IC7 Pin 3 of the CK terminal. This IC works as a T type flip-flop so the level is reversed every time the HIT switch is pushed. The signal at Pin 1 of IC7 (Q output) is fed to Q11 through R71 and turns ON this transistor. Q11's collector is connected with D1, an LED, so when Q11 conducts, the LED is lit and indicates that the RIT circuit is ON. The LED also indicates the center of the RIT control.

Pin 6 von IC8 wird HIGH wenn der RIT-Taster einmal betätigt wird. Tasterprellen wird vom Zeitglied R68/C9 absorbiert. Die beiden Gatter von IC8 sind als Inverter geschaltet. Diese Schmitt-Trigger-Schaltung erzeugt einen sauberen Rechteck-Impuls. Der Ausgang von IC8 gelangt an Pin3 (CK-Eingang) von IC7. Der IC arbeitet als T-Flipflop, d.h. bei jedem Tastendruck wird das Ausgangssignal umgekehrt. Über R71 gelangt nun das Signal an den Schalter Q11. Q11 ist mit D1 der RIT-LED verbunden die leuchtet wenn die RIT eingeschaltet ist.

Also Pin 1 of the IC7 is fed to Pin 8 of IC8 as well and it functions with the T9V HIGH level signal at Pin 9 during receiving. The output of Pin 10 switches Q10 and controls the RIT circuit.

Pin 1 von IC7 ist außerdem auch mit Pin 8 von IC8 verbunden. Zusammen mit dem Signal TV9 HIGH-Level steuert der Ausgang von IC8, Pin 10, die RIT-Schaltung Q10 an.

When Pin 10 of IC8 is HIGH (RIT is turned OFF), Q10 is turned ON, and the base of Q12 is turned ON. Thus the rotor of RIT control R1 is grounded and the fixed voltage divided by R94 64 and R95 65 is applied to D7 and D8 in the PLL unit.

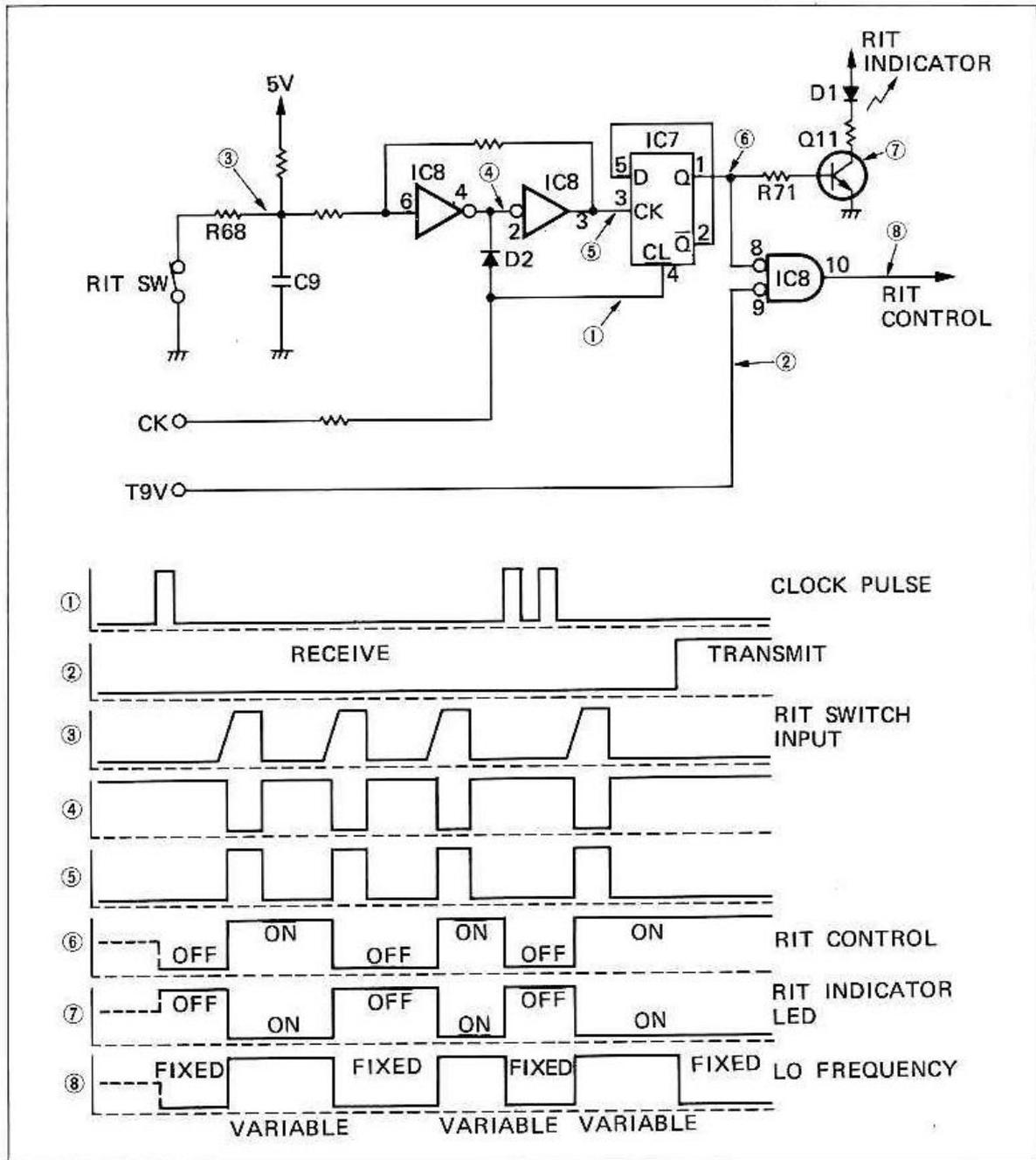
Ist Pin 10 von IC8 HIGH (RIT ausgeschaltet), schaltet Q10 EIN und die Basis von Q12 schaltet EIN. Der Schleifer der RIT-Potis R1 liegt auf Masse und die über den Spannungsteiler R64 / R65 festgelegte Spannung gelangt an D7 und D8 in der PLL Einheit..

When Pin 10 of IC8 is LOW (RIT is turned ON), Q10 is turned OFF and adjustable voltage from the rotor of RIT control R1 is applied to D7 and D8 in the PLL unit, and the oscillating frequency of L.O. varies.

Wenn Pin 10 von IC1 LOW-Pegel hat (RIT ein), so schaltet Q10 ab und die variable Spannung vom RIT-Poti gelangt an D7 und D8 in der PLL-Einheit und variiert die Frequenz des L.O..

By turning the tuning control knob when the RIT is ON, clock pulses from the photochopper circuit are applied to Pin 4 of IC7, and Pin 1 of IC7 goes LOW and the RIT is turned OFF automatically. However, depressing the RIT switch continuously, Pin 4 of IC8 remains LOW, and clock pulses are grounded through D2 and ICB, so Pin 1 of IC7 does not go LOW and holds the RIT ON. When the power switch is turned ON, a pulse generated by C2 and R42 is applied to Pin 4 of IC7 and clears the flip-flop of IC7, thus the set starts in the RIT OFF condition.

Wird der Abstimmknopf bewegt während die RIT eingeschaltet ist, so gelangen CLOCK-Impulse vom Foto-Chopper an Pin 4 des IC7. Pin 1 von IC7 geht auf LOW, die RIT wird automatisch abgeschaltet. Wird der RIT-Taster ständig gedrückt so geht Pin 4 von IC8 nicht auf LOW und hält somit die RIT eingeschaltet. Wird der Netzschalter eingeschaltet, so gelangt ein Impuls von C2 und R42 an Pin 4 des IC7 und löscht das Flipflop, dadurch ist die RIT nach dem Einschalten abgeschaltet.



4. DIAL LOCK CIRCUIT

If the dial lock button is pushed, Pin 13 of IC8 goes LOW. Any switch chatter is absorbed by R40 and C1. The output of IC8 inverter is fed to Pin 11 (CK terminal) of IC7. IC7 works as a T type flip-flop and output levels are repeated every time the input is applied. The Q output from Pin 13 turns Q4 ON, through R43, and shows that the dial lock button has been pushed, by lighting the dial lock indicator LED, D7. Also Pin 5 and Pin 9 of IC11, and Pin 13 of IC10 are connected to Q4's collector and they go LOW, so the clock pulses from Q8 and Q9, the photo transistors, are not fed to the LSI circuit, and the frequency is locked.

Wird die Dial-Lock Taste betätigt so geht Pin 13 von IC8 auf LOW. Tasterprellen wird vom Zeitglied R40 / C1 absorbiert. Der Ausgang vom IC8-Inverter gelangt an Pin 11 (CK-Eingang) von IC7. Der IC arbeitet als T-Flipflop, d.h. bei jedem Tastendruck wird das Ausgangssignal umgekehrt. Der Q-Ausgang von Pin 13 schaltet über R43 den Transistor Q4 ein und zeigt über D7, die Dial-Lock-LED an, daß der Taster

betätigt wurde. Pin 5 und Pin 9 von IC11 und Pin 13 von IC10 sind mit dem Kollektor von Q4 verbunden und gehen auf LOW. Dadurch werden die Clock-Impulse von Q8 und Q9 nicht an den LSI-Chip weitergeleitet und die Frequenzverstellung ist blockiert.

TONE CALL UNIT

This unit produces a tone-burst for accessing a repeater. If the Tone Call Switch is depressed during transmission, the circuit is actuated, and a multivibrator, IC1 generates a tone-burst of 1750Hz. The tone-burst frequency can be adjusted by R6. Output of the circuit is supplied to the low-pass filter, Q16 in the main unit.

Tiese Einheit erzeugt einen Rufton zum Öffnen von Repeatern. Solange der CALL-Taster betätigt wird erzeugt der Multivibrator IC1 einen Ton mit 1750 Hz. Die Tonfrequenz kann mit R6 eingestellt werden. Der Ausgang der Schaltung ist mit dem Tiefpass Q16 der Hauptplatine verbunden.

POWER SUPPLY UNIT

The power supply unit provides power for the set from an AC source. When using an AC source, the AC voltage is reduced by transformer T1, and rectified by D4, a rectifier bridge, and is supplied to the voltage regulator. The output of the bridge is filtered by C14, a 4700 microfarad capacitor. The regulator consists of D2, Q2, Q3 and Q1 on the side frame. The regulated voltage then is fed to Pin 5 of S01 and then goes to J10. The output voltage can be adjusted by R13. When normal voltage is present, the emitter voltage of Q9 (?) in the unit is lower than the base voltage, thus it conducts and is bypassed, and the base voltage of Q1 and Q2 remains low (?). When an overload or short occurs, the emitter voltage rises (?), cutting OFF base voltage and thus it acts as a bypass for Q1 and Q3. This circuit allows only low voltages to be passed to Q2 and Q3. The action of the protection is instantaneous. When this occurs even though the circuit is protected it is wise to turn OFF the power supply immediately and trace down the trouble. The protection point can be changed by adjusting R5, a variable resistor.

Das Netzteil versorgt das Gerät mit Strom. Die Wechselspannung wird vom Transformator T1 heruntertransformiert und über einen Brückengleichrichter D4 dem Spannungsregler zugeführt. Die gleichgerichtete Spannung wird mit C14, einem Elko mit 4700 uF, gesiebt. Der Regler selbst besteht aus D2, Q2, Q3 und dem am Gehäuse-Seitenteil aufgeschraubten Leistungstransistor Q1-MJE3055. Die geregelte Spannung gelangt an Pin 5 des Steckers S01 und dann weiter an J10. Die Ausgangsspannung wird mit R13 justiert. Ist die Spannung im normalen Bereich so liegt der Emitter von Q1-2SC1013 auf höherem Potential als seine Basis, er ist ausgeschaltet. Wenn Überlast oder ein Kurzschluß vorliegt so fällt die Emitterspannung Q1-2SC1013 im Vergleich zur Basis ab, er schaltet durch und schaltet Q2 und damit auch Q1- MJE3055 aus. Diese Schutzschaltung spricht augenblicklich an. Der Abschlpunkt kann mit R5 justiert werden (frei überstzt nach Plan).

T2, D5 and C15 make up the AC memory power supply for the PLL LSI circuit. When the memory switch on the rear panel is turned ON, AC voltage will be applied to T2 even if the power switch is turned OFF. Therefore rectified DC voltage is always applied to the PLL LSI circuit and the LSI holds the previous operating frequency and the memorized frequency.

T2, D5 und C15 bilden das Memory AC-Netzteil für den PLL-LSI. Ist der Memory Schalter auf der Rückseite des Gerätes eingeschaltet gelangt auch bei ausgeschaltetem Netzschalter Wechselspannung an T2. Der PLL-LSI wird somit ständig unter Spannung gehalten und behält die vorher eingegebenen Frequenzen bei.

Freiweg übersetzt da ich mit dem, was im deutschen Handbuch (blaues Cover) als Funktionsbeschreibung vorzufinden ist nur wenig anfangen konnte.

vy 73 de DL6NBS / Bernd